

METHOD AND DEVICE FOR MANUFACTURING SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE

Publication number: JP2001085407

Publication date: 2001-03-30

Inventor: MITSUYA HARUHITO; TOKUNAGA TAKAFUMI;
KAWASAKI HIROMICHI; FUJITO TOSHIAKI;
TSUNEKAWA SUKEYOSHI

Applicant: HITACHI LTD

Classification:

- International: H01L21/302; G03F7/40; H01L21/027; H01L21/3065;
G03F7/40; H01L21/02; (IPC1-7); H01L21/3065;
G03F7/40; H01L21/027

- European:

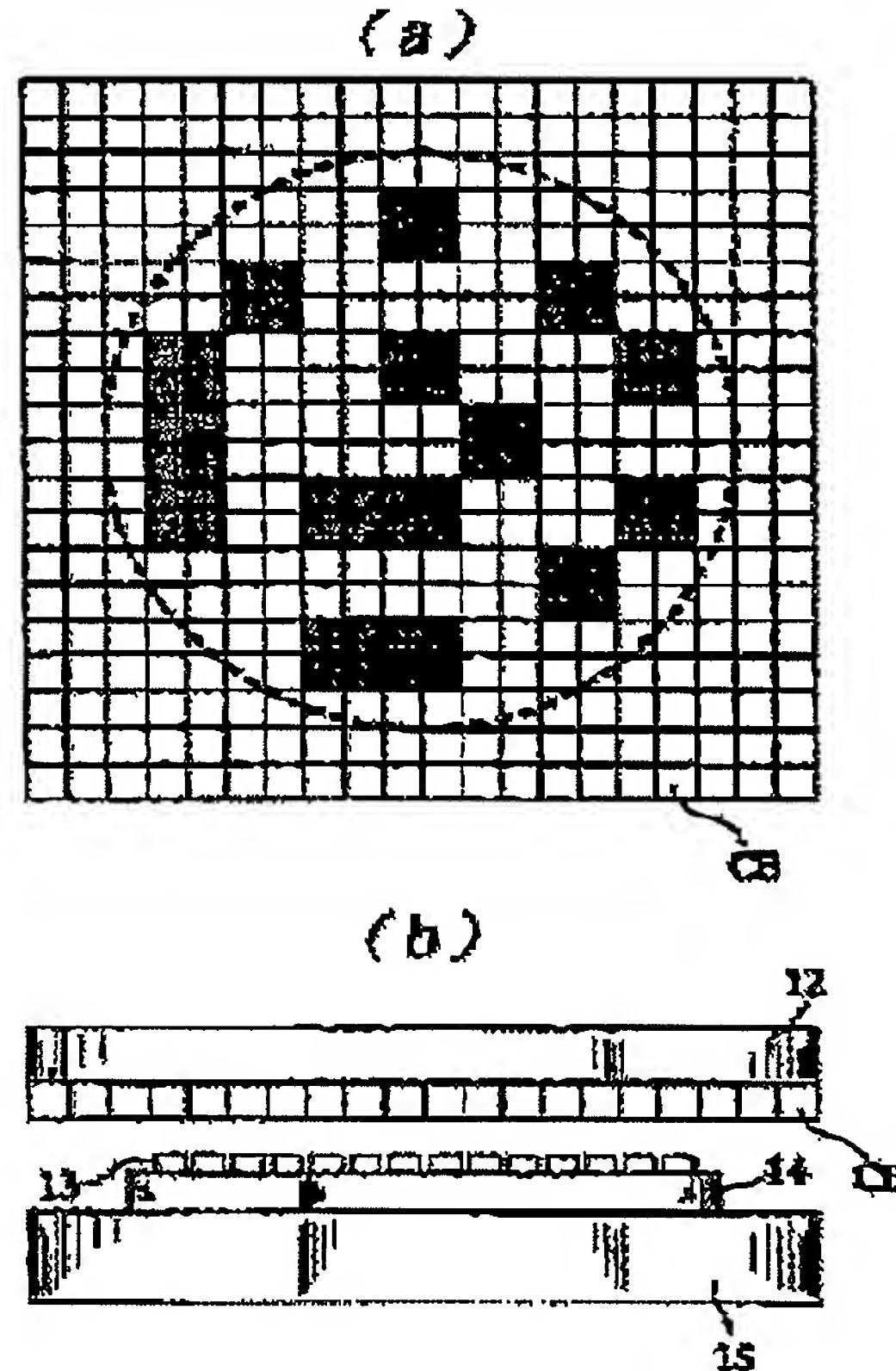
Application number: JP19990259238 19990913

Priority number(s): JP19990259238 19990913

[Report a data error here](#)

Abstract of JP2001085407

PROBLEM TO BE SOLVED: To form a resist pattern having a worked dimension finer than the minimum worked dimension, which varies depending upon the resolution limit of photolithography and a dimensional deviation of $\pm 10\%$ or smaller. **SOLUTION:** After the ashing amount for every chip for meeting a standard dimension is computed and set based on the measured length of a resist pattern, ashing is performed on a semiconductor wafer 14 heated to about 110-150 deg.C by using ozone, while the wafer 14 is irradiated with UV rays emitted from a UV-ray source cell CE and the worked dimension of the resist pattern 13 on each chip is corrected. By this ashing, each chip is shaved by the ashing amount set to the chip and the average value of the worked dimension of the resist pattern 14 on the wafer 14 can be made finer. At the same time, the dimensional variation of the pattern 13 can also be reduced.



Data supplied from the esp@cenet database - Worldwide

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-85407

(P2001-85407A)

(43) 公開日 平成13年3月30日 (2001.3.30)

(51) Int.Cl.⁷
H 01 L 21/3065
G 03 F 7/40
H 01 L 21/027

識別記号

F I
H 01 L 21/302
G 03 F 7/40
H 01 L 21/30
J 2 H 0 9 6
5 2 1 5 F 0 0 4
5 7 0 5 F 0 4 6
5 7 2 A

テーマコード(参考)

審査請求 未請求 請求項の数9 O L (全 10 頁)

(21) 出願番号 特願平11-259238

(22) 出願日 平成11年9月13日 (1999.9.13)

(71) 出願人 000005108
株式会社日立製作所
東京都千代田区神田駿河台四丁目6番地
(72) 発明者 三ツ谷 晴仁
東京都青梅市新町六丁目16番地の3 株式
会社日立製作所デバイス開発センタ内
(72) 発明者 德永 尚文
東京都青梅市新町六丁目16番地の3 株式
会社日立製作所デバイス開発センタ内
(74) 代理人 100080001
弁理士 筒井 大和

最終頁に続く

(54) 【発明の名称】 半導体集積回路装置の製造方法および製造装置

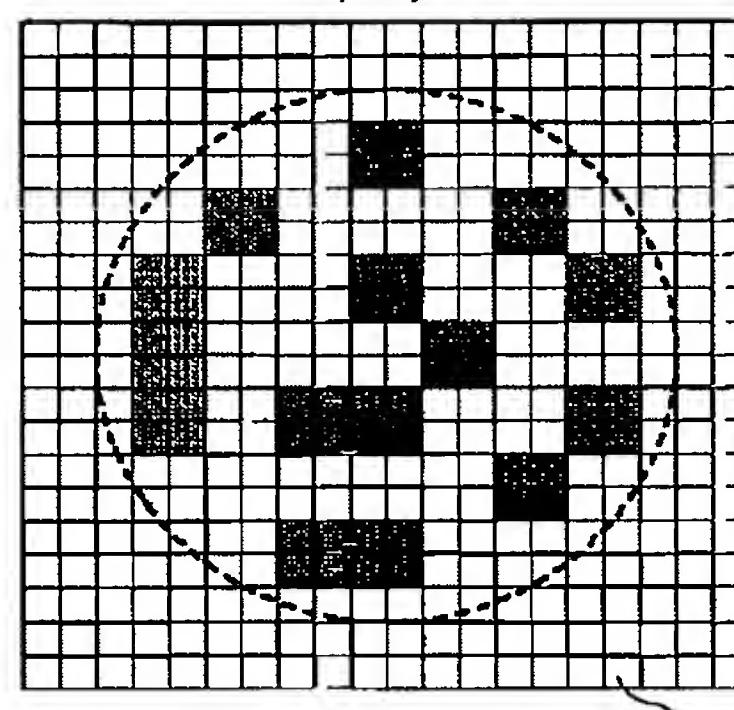
(57) 【要約】

【課題】 フォトリソグラフィの解像限界で決まる最小加工寸法よりも細い加工寸法を有し、寸法偏差が±10%以下のレジストパターンを形成する。

【解決手段】 レジストパターンの測長寸法を基に規格寸法を満たすためのチップ毎のアッシング量を演算、設定した後、110～150°C程度に加熱された半導体ウエハ14にUV光源セルCEからUV光を照射しながらオゾンを用いたアッシングを施し、各々のチップ上のレジストパターン13の加工寸法を補正する。このアッシングによってチップ毎に設定された量が削られ、半導体ウエハ14上のレジストパターン13の加工寸法の平均値が細くできると同時に、寸法バラツキも低減することが可能となる。

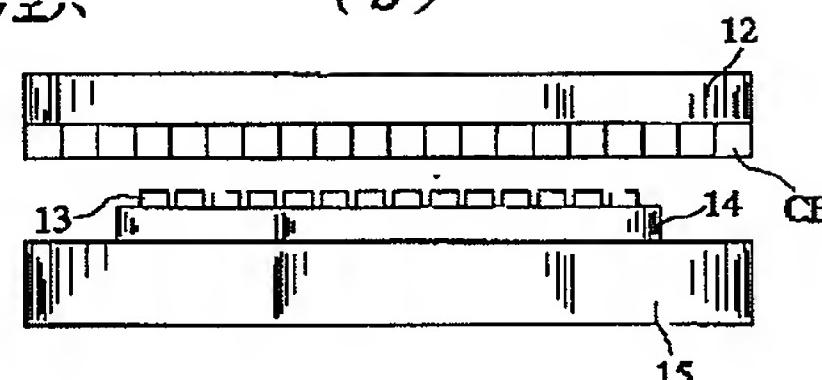
図 4

(a)



CE : UV光源セル
13 : レジストパターン
14 : 半導体ウエハ

(b)



【特許請求の範囲】

【請求項1】 半導体ウエハ上に形成されたレジストパターンに、チップ毎にUV光を照射しながらオゾンを用いたアッシングを施すことによって、各々のチップ上の前記レジストパターンの寸法を細く加工することを特徴とする半導体集積回路装置の製造方法。

【請求項2】 半導体ウエハ上に形成されたレジストパターンに、局所的にUV光を照射しながらオゾンを用いたアッシングを施すことによって、局所的に前記レジストパターンの寸法を細く加工することを特徴とする半導体集積回路装置の製造方法。

【請求項3】 請求項1または2記載の半導体集積回路装置の製造方法において、前記UV光の照射量を制御することによって、チップ毎または局所的に前記レジストパターンの削れ量を調整することを特徴とする半導体集積回路装置の製造方法。

【請求項4】 請求項1または2記載の半導体集積回路装置の製造方法において、前記半導体ウエハは110～150°C程度の温度に保持されていることを特徴とする半導体集積回路装置の製造方法。

【請求項5】 請求項1または2記載の半導体集積回路装置の製造方法において、前記半導体ウエハの上方にマトリックス状に配置されたUV光源セルから前記UV光が照射されることを特徴とする半導体集積回路装置の製造方法。

【請求項6】 請求項1または2記載の半導体集積回路装置の製造方法において、UV光源から前記半導体ウエハの上方に微細管によって導かれた前記UV光が照射されることを特徴とする半導体集積回路装置の製造方法。

【請求項7】 半導体ウエハ上に形成されたレジストパターンの寸法を測定する機能と、チップ毎にUV光を照射しながらオゾンを用いたアッシングを施すことによって、各々のチップ上の前記レジストパターンの寸法を細く加工する機能とを備えたことを特徴とする半導体集積回路装置の製造装置。

【請求項8】 半導体ウエハ上に形成されたレジストパターンの寸法を測定する機能と、局所的にUV光を照射しながらオゾンを用いたアッシングを施すことによって、局所的に前記レジストパターンの寸法を細く加工する機能とを備えたことを特徴とする半導体集積回路装置の製造装置。

【請求項9】 請求項7または8記載の半導体集積回路装置の製造装置において、チップ毎または局所的に前記レジストパターンの削れ量を演算する機能が備わっていることを特徴とする半導体集積回路装置の製造装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体集積回路装置の製造技術に関し、特に、例えば0.1μm以下の加工寸法で形成される半導体集積回路装置に適用して有効な

技術に関するものである。

【0002】

【従来の技術】半導体集積回路装置における微細加工技術は、主にリソグラフィ技術の改良によってもたらされており、その中でも光を用いたフォトリソグラフィは、その経済性の理由からハーフミクロン時代の半導体集積回路装置の量産にも使用されている。

【0003】ところで、半導体集積回路装置の高性能化に伴い半導体デバイスの微細化が進み、要求される加工最小線幅はすでにフォトリソグラフィ技術では解像が難しい0.1μmに達している。しかし、フォトリソグラフィに代わる他のリソグラフィ技術、例えば電子ビーム露光技術、X線露光技術などを量産ベースに使用するには、未だ技術的なブレークスルーを必要としている。そこで、0.1μmプロセスにおいてもフォトリソグラフィが有望視されており、さらに改良のための研究開発が行われている。

【0004】

【発明が解決しようとする課題】ところで、微細加工技術では、きわめて小さい寸法のデバイスパターンの形成が要求される一方で、±10%以下の寸法バラツキが要求される。すなわち、微細なデバイスが多数集積され、それらが相互に結線されて一つの機能をもつのが集積回路であることから、ロット間、半導体ウエハ間または半導体ウエハ面内における寸法バラツキに起因した個々の半導体デバイスの特性のバラツキの大小が、最終的に半導体集積回路装置の機能が目標の許容範囲に収まるか否かを決める要素となっている。

【0005】しかしながら、本発明者が検討したところによると、例えば0.14μmプロセスに前記スリミング技術を適用すると、0.14±0.02μmの加工寸法は0.10±0.02μmとなり、平均寸法は細くなるもののバラツキは低減できないことが明らかとなった。0.1μmプロセスにおいては、その寸法バラツキを±10%以下に抑えることがさらに難しくなることが考えられる。

【0006】本発明の目的は、フォトリソグラフィの解像限界で決まる最小加工寸法よりも細い加工寸法を有し、寸法バラツキが±10%以下のレジストパターンを半導体ウエハ上に形成することのできる技術を提供することにある。

【0007】本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【0008】

【課題を解決するための手段】本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、次のとおりである。すなわち、

(1) 本発明の半導体集積回路装置の製造方法は、半導体ウエハ上に形成されたレジストパターンに、チップ毎にUV(Ultra Violet)光を照射しながらオゾンを用い

たアッシングを施すことによって、各々のチップ上の前記レジストパターンの寸法を細く加工するものである。

【0009】(2) 本発明の半導体集積回路装置の製造方法は、半導体ウエハ上に形成されたレジストパターンに、局所的にUV照射をしながらオゾンを用いたアッシングを施すことによって、局所的に前記レジストパターンの寸法を細く加工するものである。

【0010】(3) 本発明の半導体集積回路装置の製造方法は、前記(1)または(2)記載の半導体集積回路装置の製造方法において、前記UV光の照射量を制御することによって、チップ毎または局所的に前記レジストパターンの削れ量を調整するものである。

【0011】(4) 本発明の半導体集積回路装置の製造方法は、前記(1)または(2)記載の半導体集積回路装置の製造方法において、前記半導体ウエハは110～150°C程度の温度に保持されるものである。

【0012】(5) 本発明の半導体集積回路装置の製造方法は、前記(1)または(2)記載の半導体集積回路装置の製造方法において、前記半導体ウエハの上方にマトリックス状に配置されたUV光源セルから、プラズマ放電によって発生した前記UV光が照射されるものである。

【0013】(6) 本発明の半導体集積回路装置の製造方法は、前記(1)または(2)記載の半導体集積回路装置の製造方法において、UV光源から前記半導体ウエハの上方に微細管によって導かれた前記UV光が照射されるものである。

【0014】(7) 本発明の半導体集積回路装置の製造装置は、半導体ウエハ上に形成されたレジストパターンの寸法を測定する機能と、チップ毎にUV光を照射しながらオゾンを用いたアッシングを施すことによって、各々のチップ上の前記レジストパターンの寸法を細く加工する機能とを備えたものである。

【0015】(8) 本発明の半導体集積回路装置の製造装置は、半導体ウエハ上に形成されたレジストパターンの寸法を測定する機能と、局所的にUV光を照射しながらオゾンを用いたアッシングを施すことによって、局所的に前記レジストパターンの寸法を細く加工する機能とを備えたものである。

【0016】(9) 本発明の半導体集積回路装置の製造方法は、前記(7)または(8)記載の半導体集積回路装置の製造装置において、チップ毎または局所的に前記レジストパターンの削れ量を演算する機能が備わっているものである。

【0017】上記した手段によれば、フォトリソグラフィの解像限界で決まる最小加工寸法で形成されたレジストパターンに対してアッシングが施され、チップ毎または局所的に設定された量が削られるので、半導体ウエハ上のレジストパターンの加工寸法の平均値を上記最小加工寸法よりも細くできると同時に、寸法バラツキも±1

0%以下とすることが可能となる。また、チップ毎のレジストパターンの加工寸法を補正管理することが可能となる。

【0018】

【発明の実施の形態】以下、本発明の実施の形態を図面に基づいて詳細に説明する。

【0019】本発明の実施の形態である微細パターンの製造方法を図1～図14を用いて説明する。なお、実施の形態を説明するための全図において同一機能を有するものは同一の符号を付し、その繰り返しの説明は省略する。

【0020】まず、本発明の実施の形態であるスリミング技術を図1に示す工程図を用いて説明する。

【0021】初めに、半導体ウエハの表面または裏面の異物を除去し、現像処理後のマスクパターンの半導体ウエハへの接着性を増強させるためのレジスト塗布前処理を行う(工程100)。

【0022】次に、塗布前処理の終わった半導体ウエハに回転塗布(Spin Coating)法によって、1～2μmの厚さのフォトレジストを均一に塗布する(工程101)。この方法は、半導体ウエハをスピンドル上に置き、レジストを1～5m/s程度滴下した後、半導体ウエハを2000～5000rpmで回転させ、レジストを遠心力で飛散させて半導体ウエハの表面に均一な厚さのレジストを形成する方法である。

【0023】次に、塗布直後のレジスト膜に多く含まれている残留溶剤を揮発させて、露光時の光化学反応を安定させるために、ホットプレートを用い、半導体ウエハをベークする(工程102)。

【0024】次に、半導体ウエハを所定のフォトマスクと共に縮小投影露光装置にセットし、正確な位置合わせを行った後、例えば紫外線(i線)、レーザ光線を一定時間照射(露光)してマスクパターンを上記レジストに焼き付ける(工程103)。

【0025】次に、現像液を半導体ウエハの表面に滴下させて表面張力をを利用して盛り、現像処理を所定時間行った後、純水でのリノス、回転乾燥を連続的に行うことによって、レジストパターンが形成される(工程104)。続いて、半導体ウエハを120°C前後でベークして完全に乾燥させると共に、レジスト膜の半導体ウエハへの接着性、熱架橋高分子化による耐ドライエッチングを向上させる(工程105)。

【0026】次いで、金属顕微鏡で半導体ウエハの外観を検査し(工程106)、さらに例えば測長SEM(Scanning Electron Microscope)を用いてレジストパターンの寸法測定を行う(工程107)。この寸法測定は、半導体ウエハ上のチップ毎に行われ、測定された寸法は全て記憶される。

【0027】前記寸法測定において、レジストパターンの測長寸法が規格寸法を満たさない場合は、レジストパ

ターンにスリミング処理を施す（工程108）。まず、レジストパターンの測長寸法を基に規格寸法を満たすためのチップ毎のアッシング量（レジストパターンの削れ量）を演算し（工程108a）、設定する（工程108b）。なお、上記規格寸法は、例えば使用する露光方法の解像限界で決まる最小加工寸法よりも細い場合もある。この後、半導体ウエハを110～150°Cに加熱し、半導体ウエハ上のチップ毎にUV（Ultra Violet）光を照射しながらオゾンを用いたアッシングを施すことによって、各々のチップ上のレジストパターンの加工寸法を補正する（工程108c）。このアッシングによってチップ毎に設定された量が削られ、半導体ウエハ上のレジストパターンの加工寸法の平均値が細くできると同時に、寸法バラツキも低減することができる。

【0028】レジストパターンの加工寸法を補正した後、再度、半導体ウエハ上のチップ毎にレジストパターンの寸法測定を行う。レジストパターンの測長寸法が規格寸法を満たした場合、位置合わせの検査を行う（工程109）。

【0029】図2は、スリミング処理によるレジストパターンの寸法分布推移の概念図を示す。感光、現像処理が行われた半導体ウエハ上のレジストパターンの加工寸法が、例えば $0.14 \pm 0.02 \mu\text{m}$ の場合、各々のチップに適したアッシング量を演算し、設定してスリミング処理を施すと、その加工寸法は $0.10 \pm 0.01 \mu\text{m}$ となり、半導体ウエハ上のレジストパターンの加工寸法の平均値を約 $0.04 \mu\text{m}$ 細くできると同時に、寸法バラツキも約10%程度とすることができる。

【0030】なお、前記図1の工程107におけるレジストパターンの寸法測定はチップ毎に行つたが、所定箇所のチップに対してのみ行つてもよく、この場合、前記図1の工程108におけるスリミング処理では、所定箇所のチップの周囲のチップに対しては、上記所定箇所のチップに適用されるアッシング量と同一のアッシング量が用いられる。

【0031】また、前記図1の工程107のレジストパターンの寸法測定と判定、および前記図1の工程108のアッシング量の演算、設定とアッシングは、これらを一環して行うことのできる機能を備えた装置を用いてもよい。

【0032】図3は、前記図1の工程108のスリミング処理で用いるUV光源セルCEのセル構造の一例を示す断面図である。同図において、1は第1基板、2は第2基板、3は隔壁、4は放電空間、5はUV光、6はプラズマ、7は電極、8は誘電体層、9は保護膜、10は透明電極、11は誘電体層である。

【0033】第1基板1と第2基板2との間に設けられ、隔壁3で密封された放電空間4に、プラズマ放電によってUV光5を発生させるための水銀(Hg)、クリプトン(Kr)、アルゴン(Ar)、キセノン(Xe)

またはネオン(Ne)等、あるいはこれらの混合ガスが充填されている。放電空間4を挟む第1基板1と第2基板2との距離は約 $100 \mu\text{m}$ 程度である。

【0034】第1基板1の表面には、前記放電空間4にプラズマ6を発生させるための電極7が設けられており、この電極7を覆って誘電体層8が形成されており、さらにこの誘電体層8の上層には保護膜9が形成されている。第2基板2は、例えば合成石英で構成されており、第1基板1と同様にその表面にはプラズマ6を発生させるための透明電極10が設けられている。さらにこの透明電極10を覆って誘電体層11が形成されている。放電空間4に発生したUV光5は、合成石英からなる第2基板2から取り出されて、半導体ウエハ上に照射される。

【0035】図4は、半導体ウエハ上にUV照射を行う方法の一例を示すものである。図4(a)は個々のUV光源セルの配置を示す平面図、図4(b)はUV照射における個々のUV光源セルおよび半導体ウエハの配置を示す模式図である。図4(a)中、網かけのハッチング部分は照射量が相対的に多いUV光源セルであり、白抜き部分は照射量が相対的に少ないUV光源セルである。また、図4(a)中の点線は、UV光源セルCEに対置される半導体ウエハの位置を示す。

【0036】図4に示すように、マトリック状に配置された個々のUV光源セルCEはフォルダ12によって保持されており、その表面にレジストパターン13が形成された半導体ウエハ14の上方に設置されている。UV光源セルCEの個々の大きさはチップとほぼ同じである。半導体ウエハ14は、ヒートステージ15上に置かれており、このヒートステージ15によって半導体ウエハ14の温度調整が行われる。

【0037】図5に、UV照射した場合およびUV照射しない場合のアッシング速度と基板温度との関係、ならびに両者のレート比と基板温度との関係を示す。図5に示すように、UV照射した場合のアッシング速度およびUV照射しない場合のアッシング速度はそれぞれ基板温度に依存し、さらに両者の基板温度に対する傾きが異なり、レート比は基板温度が低くなるに従って大きくなる。これより、半導体ウエハ14の温度はレート比が大きくとれる領域、例えば110～150°C程度に設定される。

【0038】次に、本実施の形態のスリミング技術を適用したCMOS(Complementary Metal Oxide Semiconductor)デバイスの製造方法を図6～図14を用いて簡単に説明する。前述したスリミング技術は、CMOSデバイスのゲート電極を形成する際のフォトリソグラフィ工程に適用した。図中、Qnはnチャネル型MISFET(Metal Insulator Semiconductor Field Effect Transistor)、Qpはpチャネル型MISFETである。

【0039】まず、図6に示すように、例えばp型の单

結晶シリコンからなる半導体基板21を用意する。次に、この半導体基板21を熱酸化してその表面に膜厚0.1μm程度の薄い酸化シリコン膜22を形成し、次いでその上層に化学的気相成長(Chemical Vapor Deposition; CVD)法で膜厚0.1μm程度の窒化シリコン膜23を堆積した後、レジストパターンをマスクとして窒化シリコン膜23、酸化シリコン膜22および半導体基板21を順次ドライエッチングすることにより、素子分離領域の半導体基板21に深さ0.35μm程度の素子分離溝24aを形成する。

【0040】次に、熱リン酸を用いたウエットエッチングで窒化シリコン膜23を除去した後、図7に示すように、半導体基板21上にCVD法で堆積した酸化シリコン膜24bをエッチバック、または化学的機械研磨(Chemical Mechanical Polishing; CMP)法で研磨して、素子分離溝24aの内部に酸化シリコン膜24bを残すことにより素子分離領域を形成する。続いて、半導体基板21を約1000°Cでアニールすることにより、素子分離溝24aに埋め込んだ酸化シリコン膜24bをデンシファイ(焼き締め)する。

【0041】次に、半導体基板21のnチャネル型MISFETQn形成領域にp型ウエル25を形成するためのボロンをイオン注入し、pチャネル型MISFETQp形成領域にn型ウエル26を形成するためのリンをイオン注入する。上記ボロンは、例えば注入エネルギー200keV、ドーズ量 $2 \times 10^{13} \text{ cm}^{-2}$ で注入し、上記リンは、例えば注入エネルギー500keV、ドーズ量 $3 \times 10^{13} \text{ cm}^{-2}$ で注入する。

【0042】次に、図8に示すように、半導体基板21を熱酸化して、p型ウエル25およびn型ウエル26のそれぞれの表面にゲート絶縁膜27を約4nm程度の厚さで形成した後、CVD法で多結晶シリコン膜28を半導体基板21上に堆積する。

【0043】次いで、n型不純物、例えばリンをイオン打ち込みによりnチャネル型MISFETQnが形成される領域の多結晶シリコン膜28へ導入し、続いてp型不純物、例えばボロンをイオン打ち込みによりpチャネル型MISFETQpが形成される領域の多結晶シリコン膜28へ導入する。この後、多結晶シリコン膜28の上層に窒化シリコン膜29を堆積する。

【0044】次に、nチャネル型MISFETQnおよびpチャネル型MISFETQpのゲート電極を形成する際のフォトリソグラフィ工程を説明する。

【0045】まず、半導体基板21の表面または裏面の異物を除去した後、レジスト塗布前処理の終わった半導体基板21上に回転塗布法によって、例えば汎用のポジ型フォトレジスト膜を均一に塗布し、次いで半導体基板21にベーク処理を施す。

【0046】この後、半導体基板21をフォトマスクと共に縮小投影露光装置にセットし、正確な位置合わせを行った後、例えば波長0.248μmのKrFエキシマレーザを一定時間照射してマスクパターンを焼き付ける。

【0047】図9に、露光工程で使用する縮小投影露光装置30の一例を簡単に示す。同図において、31は、例えば5~8インチのシリコン単結晶等からなる半導体ウエハ、32はKrFエキシマレーザ、33、34は反射鏡、35はインテグレータ、36は反射鏡、37はコンデンサーレンズ、38はフォトマスクを保持して少なくともZ軸方向に微動可能なマスクホルダ、39は縮小投影レンズである。40は半導体ウエハ31を吸着するウエハ吸着台、41はZ軸移動台(高さ方向)、42はX軸移動台(水平横方向)、43はY軸移動台(水平前後方向)であり、上記X軸移動台42と共にXYZステージを構成する。SMはフォトマスクである。

【0048】露光に際しては、KrFエキシマレーザ32から出たビームを2枚の全反射鏡33、34で曲げた後、インテグレータ35と呼ぶ光学素子によって集光と拡大、均一化を行う。次に、大型の全反射鏡36でビームを曲げて石英製のコンデンサーレンズ37を通した後、フォトマスクSMと石英製の単色縮小投影レンズ39とを経て、半導体ウエハ31上に結像させる。

【0049】露光後は、現像液を半導体基板21の表面に滴下させて表面張力をを利用して盛り、所定の時間現像処理を行った後、純水でのリーンス、回転乾燥を連続的に行う。これによって半導体基板21上に解像限界で決まる最小加工寸法を有するレジストパターン44が形成される。

【0050】次に、前記図1~図5を用いて説明したスリミング技術を用いて半導体基板21上のレジストパターン44の加工寸法を補正することにより、解像限界で決まる最小加工寸法よりも細い加工寸法を有し、さらに寸法バラツキが±10%以下に抑えられたレジストパターン44aを形成する。

【0051】次に、レジストパターン44aをマスクとして、窒化シリコン膜29および多結晶シリコン膜28を順次エッチングし、図10に示すように、窒化シリコン膜29からなるキャップ絶縁膜29aおよび多結晶シリコン膜28によって構成されるゲート電極45を形成する。

【0052】次に、上記レジストパターン44aを除去した後、n型ウエル26をレジスト膜で覆った後、nチャネル型MISFETQnのゲート電極45をマスクとしてp型ウエル25にn型不純物、例えば砒素を導入し、nチャネル型MISFETQnのソース、ドレインの一部を構成する低濃度のn+型半導体領域46aを形成する。同様に、p型ウエル25をレジスト膜で覆った後、pチャネル型MISFETQpのゲート電極45をマスクとしてn型ウエル26にp型不純物、例えばフッ化ボロンを導入し、pチャネル型MISFETQpのソース、ドレインの一部を構成する低濃度のp+型半導体

領域47aを形成する。

【0053】この後、図11に示すように、半導体基板21上にCVD法で堆積した酸化シリコン膜をRIE(Reactive Ion Etching)法で異方性エッチングして、nチャネル型MISFETQnのゲート電極45およびpチャネル型MISFETQpのゲート電極45のそれぞれの側壁にサイドウォールスペーサ48を形成する。

【0054】次に、図12に示すように、n型ウエル26をレジスト膜で覆った後、nチャネル型MISFETQnのゲート電極45およびサイドウィールスペーサ48をマスクとして、p型ウエル25にn型不純物、例えばリンを導入し、nチャネル型MISFETQnのソース、ドレインの他の一部を構成する高濃度のn⁺型半導体領域46bを形成する。同様に、p型ウエル25をレジスト膜で覆った後、pチャネル型MISFETQpのゲート電極45およびサイドウォールスペーサ48をマスクとして、n型ウエル26にp型不純物、例えばフッ化ボロンを導入し、pチャネル型MISFETQpのソース、ドレインの他の一部を構成する高濃度のp⁺型半導体領域47bを形成する。

【0055】次に、厚さ30～50nm程度のチタン膜をスパッタリング法またはCVD法によって半導体基板21上に堆積した後、窒素雰囲気中で600～700℃程度の熱処理を半導体基板21に施し、次いで未反応のチタン膜を除去する。この後、低抵抗化のための熱処理を半導体基板21に施すことによって、図13に示すように、nチャネル型MISFETQnのn⁺型半導体領域46bの表面、およびpチャネル型MISFETQpのp⁺型半導体領域47bの表面にチタンシリサイド膜49を形成する。

【0056】次に、図14に示すように、半導体基板21上に層間絶縁膜50を形成した後、レジストパターンをマスクとして層間絶縁膜50をエッチングし、nチャネル型MISFETQnのn⁺型半導体領域46bの表面に設けられたチタンシリサイド膜49、およびpチャネル型MISFETQpのp⁺型半導体領域47bの表面に設けられたチタンシリサイド膜49に達するコンタクトホール51n、51pを開孔する。なお、図示はしないが、同時にゲート電極45に達するコンタクトホールが形成される。

【0057】その後、層間絶縁膜50の上層に金属膜、例えばタンクステン膜を堆積し、例えばCMP法で、この金属膜の表面を平坦化することによってコンタクトホール51n、51pの内部に金属膜を埋め込みプラグ52を形成した後、層間絶縁膜50の上層に堆積した金属膜をエッチングして配線層53を形成することにより、CMOSデバイスがほぼ完成する。

【0058】なお、本実施の形態では、露光にKrFエキシマレーザを用いたが、ArFエキシマレーザまたは紫外線、例えば波長0.365μmのi線などを用いても

よく、露光方法に関係なく、レジストパターンのスリミング技術を適用することができる。

【0059】また、本実施の形態では、UV光の照射は、半導体ウエハの上方にマトリックス状に配置されたUV光源セルを用いて行われたが、UV光源から半導体ウエハの上方に微細管によって導かれたUV光を照射してもよく、同様な効果が得られる。

【0060】また、本実施の形態では、半導体デバイスの特性変動を抑えるために半導体ウエハ上のレジストパターンの加工寸法の平均値を補正すると同時にそのバラツキも低減したが、特定チップに対してのみ重点的にアッシングを行うことによって、上記特定チップのレジストパターンを微細に加工し、1枚の半導体ウエハ上にチップ毎に異なる加工寸法を有する同一形状のレジストパターンを形成してもよい。

【0061】また、本実施の形態では、チップ毎にUV光を照射したが、UV光源セルCEの個々の大きさをチップよりも小さい、例えば特定のパターンを局所的に照射できる大きさとし、局所的にUV光を照射することによって、1つのチップ上のレジストパターンの一部を微細に加工してもよい。

【0062】このように、本実施の形態によれば、半導体ウエハ上にフォトリソグラフィの解像限界で決まる最小加工寸法で形成されたレジストパターンに対してアッシングが施され、チップ毎または局所的に設定された量が削られるので、半導体ウエハ上のレジストパターンの加工寸法の平均値を上記最小加工寸法よりも細くでき、同時にレジストパターンの寸法バラツキも±10%以下に低減することができる。また、チップ毎のレジストパターンの加工寸法を補正管理することが可能となる。

【0063】以上、本発明者によってなされた発明を発明の実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

【0064】例えば、前記実施の形態では、CMOSデバイスのゲート電極の製造方法に適用した場合について説明したが、微細パターンを有するいかなる半導体集積回路装置の製造方法にも適用可能である。

【0065】

【発明の効果】本願によって開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば、以下のとおりである。

【0066】本発明によれば、フォトリソグラフィの解像限界で決まる最小加工寸法よりも細い加工寸法を有し、寸法バラツキが±10%以下のレジストパターンを半導体ウエハ上に形成することができる。

【図面の簡単な説明】

【図1】本発明の一実施の形態であるスリミング技術を説明するための工程図である。

【図2】スリミング技術によるレジスト寸法分布の推移を示す概念図である。

【図3】UV光源セルのセル構造を示す断面図である。

【図4】(a)は、UV光源セルの配置を示す平面図、(b)は、UV照射における個々のUV光源セルおよび半導体ウエハの配置を示す模式図である。

【図5】フォトレジストのアッシング速度と基板温度との関係を示すグラフ図である。

【図6】本発明の一実施の形態を適用したCMOSデバイスの製造方法を示す半導体基板の要部断面図である。

【図7】本発明の一実施の形態を適用したCMOSデバイスの製造方法を示す半導体基板の要部断面図である。

【図8】本発明の一実施の形態を適用したCMOSデバイスの製造方法を示す半導体基板の要部断面図である。

【図9】露光工程で使用する縮小投影露光装置の説明図である。

【図10】本発明の一実施の形態を適用したCMOSデバイスの製造方法を示す半導体基板の要部断面図である。

【図11】本発明の一実施の形態を適用したCMOSデバイスの製造方法を示す半導体基板の要部断面図である。

【図12】本発明の一実施の形態を適用したCMOSデバイスの製造方法を示す半導体基板の要部断面図である。

【図13】本発明の一実施の形態を適用したCMOSデバイスの製造方法を示す半導体基板の要部断面図である。

【図14】本発明の一実施の形態を適用したCMOSデバイスの製造方法を示す半導体基板の要部断面図である。

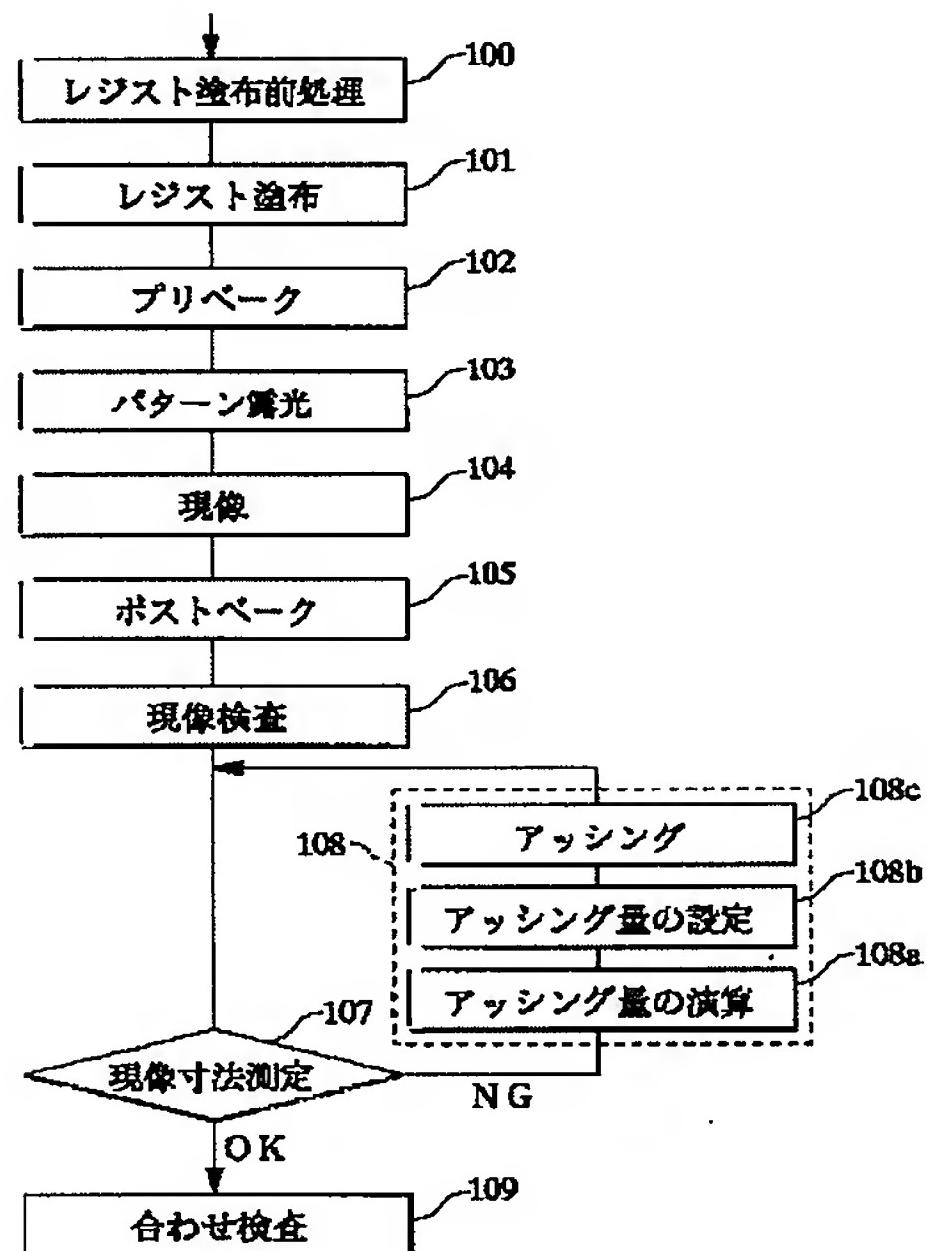
【符号の説明】

- 1 第1基板
- 2 第2基板
- 3 隔壁
- 4 放電空間
- 5 UV光
- 6 プラズマ
- 7 電極
- 8 誘電体層
- 9 保護膜
- 10 透明電極
- 11 誘電体層
- 12 フォルダ

- 13 レジストパターン
- 14 半導体ウエハ
- 15 ヒートステージ
- 21 半導体基板
- 22 酸化シリコン膜
- 23 窒化シリコン膜
- 24 a 素子分離溝
- 24 b 酸化シリコン膜
- 25 p型ウエル
- 26 n型ウエル
- 27 ゲート絶縁膜
- 28 多結晶シリコン膜
- 29 窒化シリコン膜
- 29 a キャップ絶縁膜
- 30 縮小投影露光装置
- 31 半導体ウエハ
- 32 KrFエキシマレーザ
- 33 反射鏡
- 34 反射鏡
- 35 インテグレータ
- 36 反射鏡
- 37 コンデンサーレンズ
- 38 マスクホルダ
- 39 縮小投影レンズ
- 40 ウエハ吸着台
- 41 Z軸移動台(高さ方向)
- 42 X軸移動台(水平横方向)
- 43 Y軸移動台(水平前後方向)
- 44 レジストパターン
- 44 a レジストパターン
- 45 ゲート電極
- 46 a n-型半導体領域
- 46 b n+型半導体領域
- 47 a p-型半導体領域
- 47 b p+型半導体領域
- 48 サイドウォールスペーサ
- 49 チタンシリサイド膜
- 50 層間絶縁膜
- 51 n コンタクトホール
- 51 p コンタクトホール
- 52 プラグ
- 53 配線層
- C E UV光源セル
- S M フォトマスク

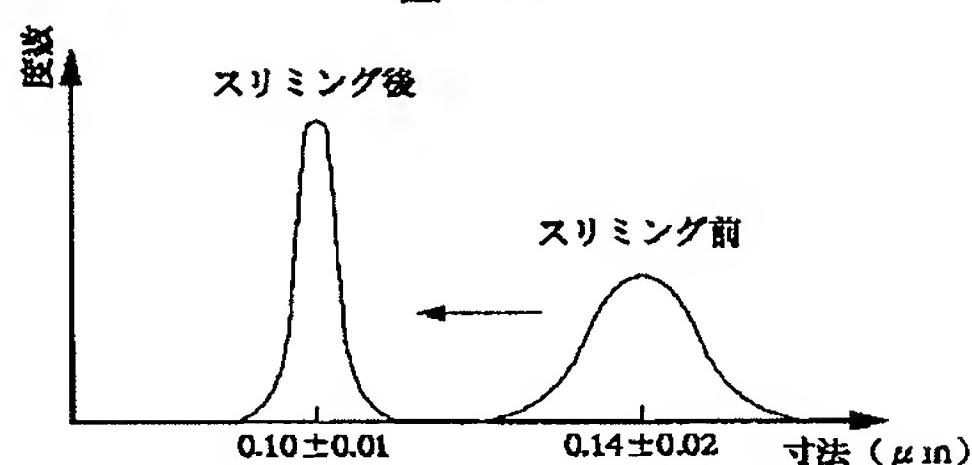
【図1】

図 1



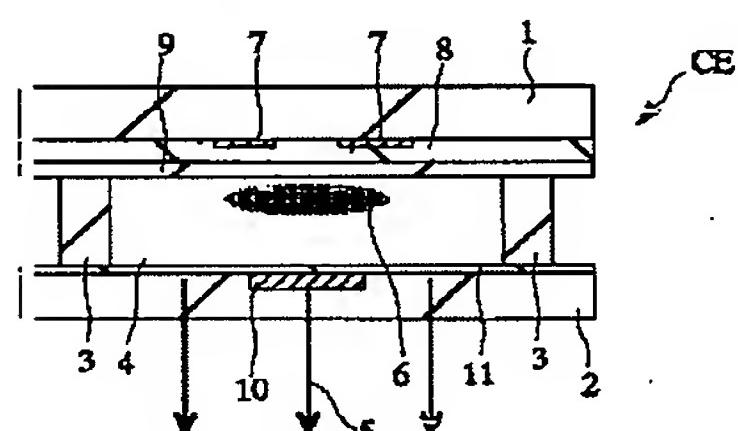
【図2】

図 2



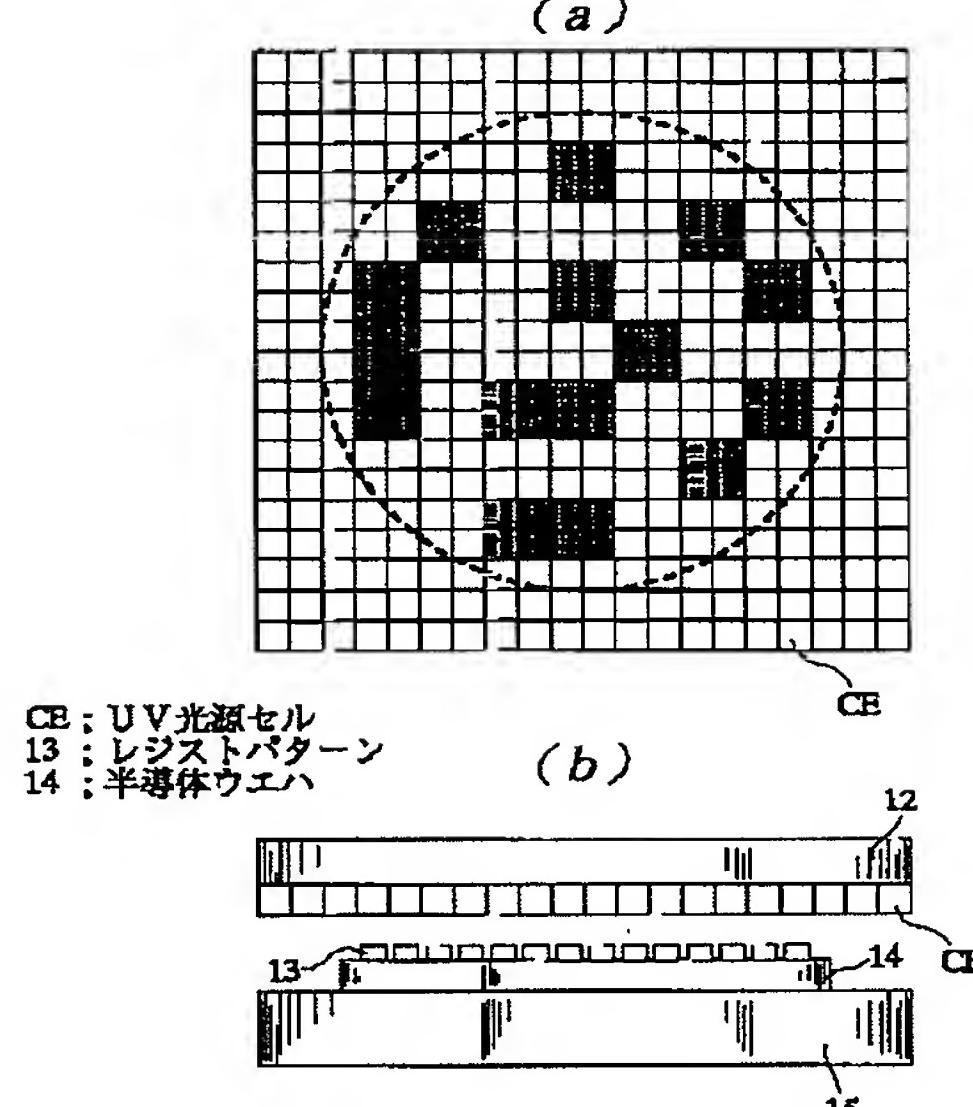
【図3】

図 3



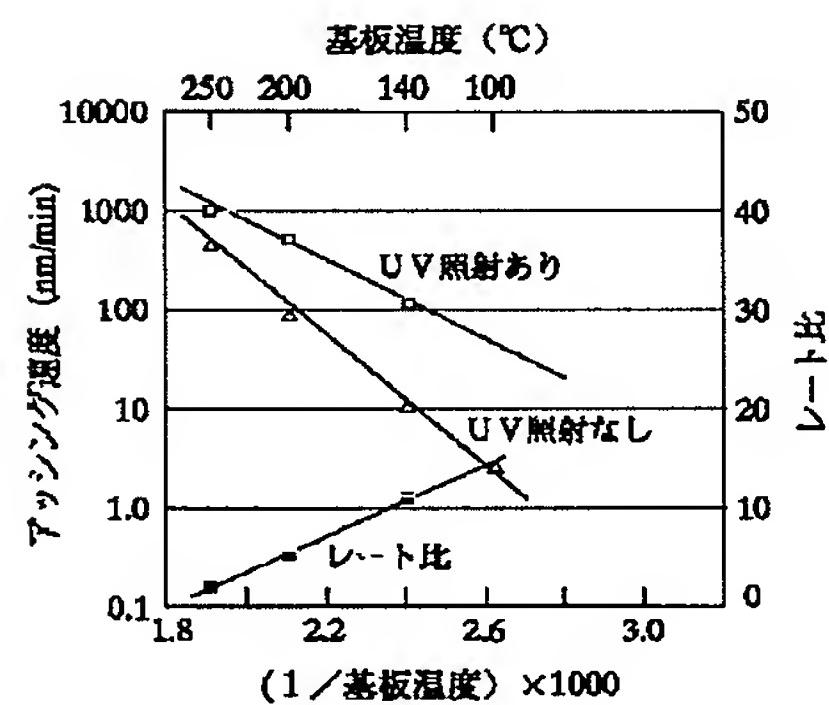
【図4】

図 4



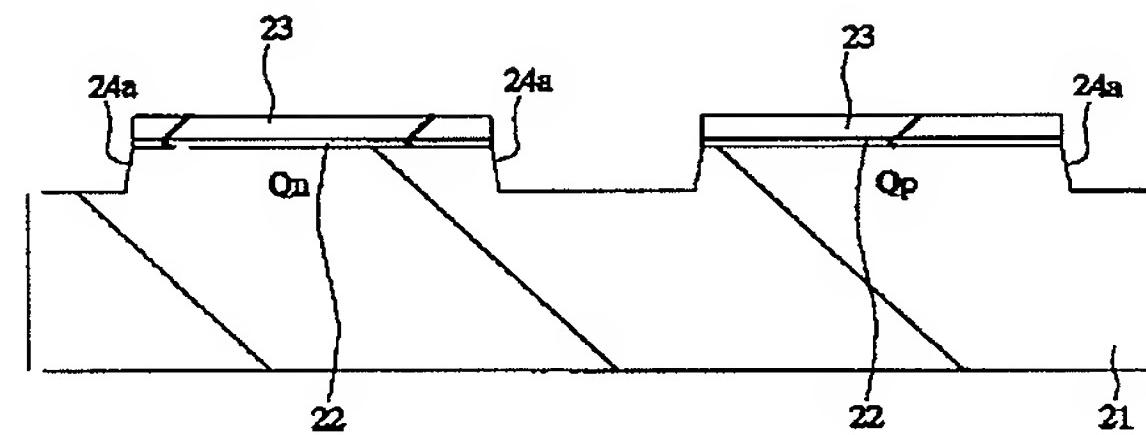
【図5】

図 5



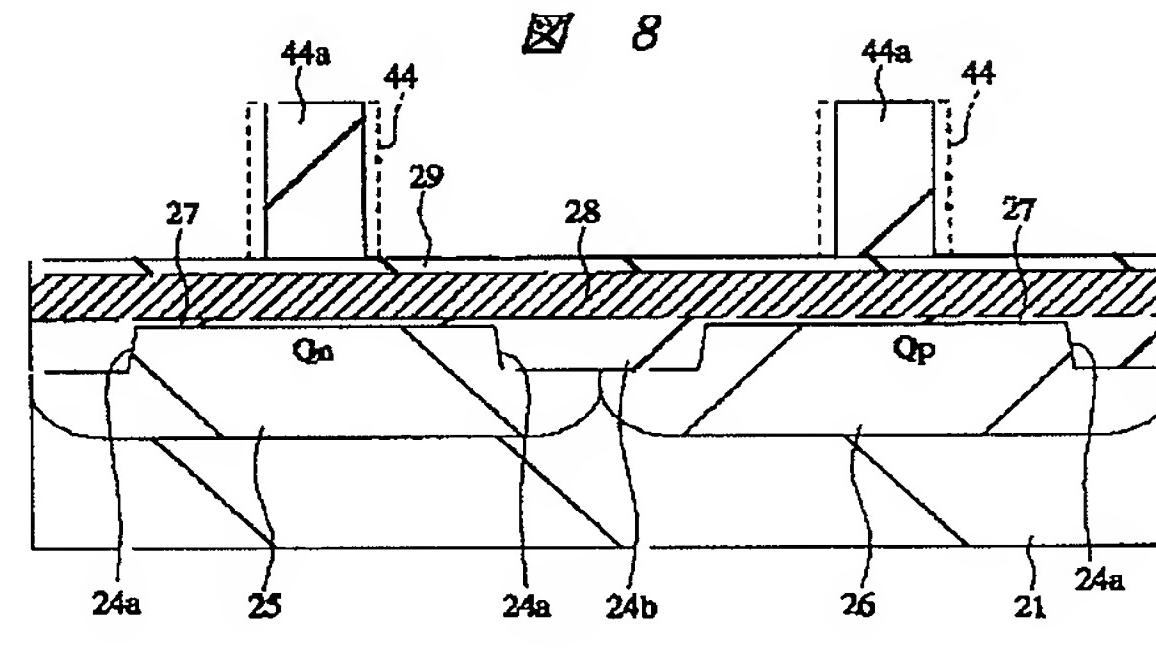
【図6】

図 6



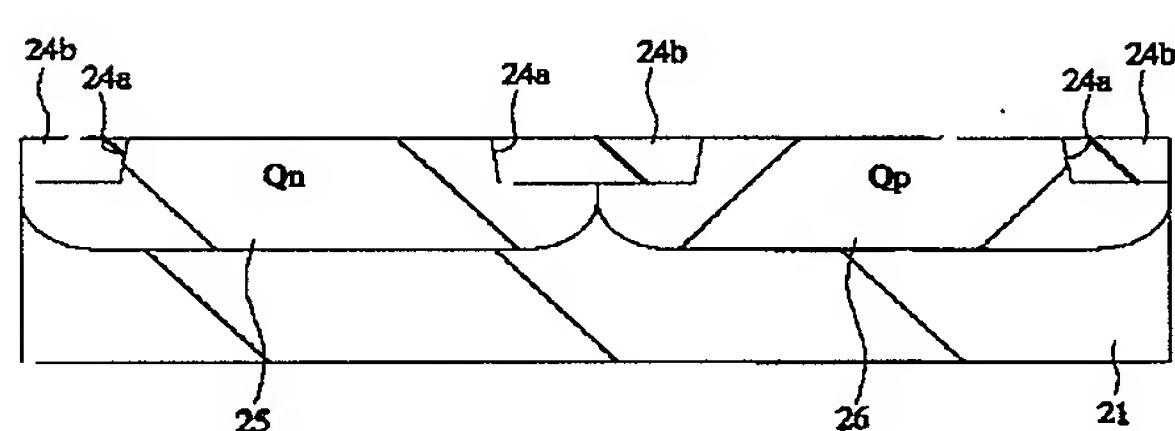
【図8】

図 8



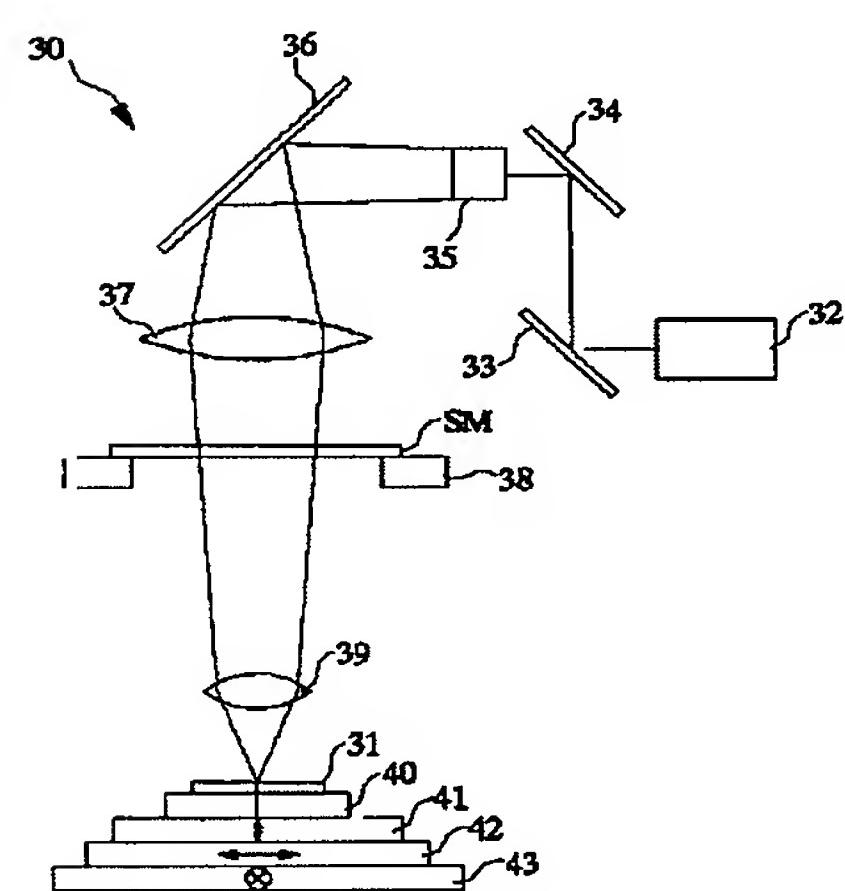
【図7】

図 7



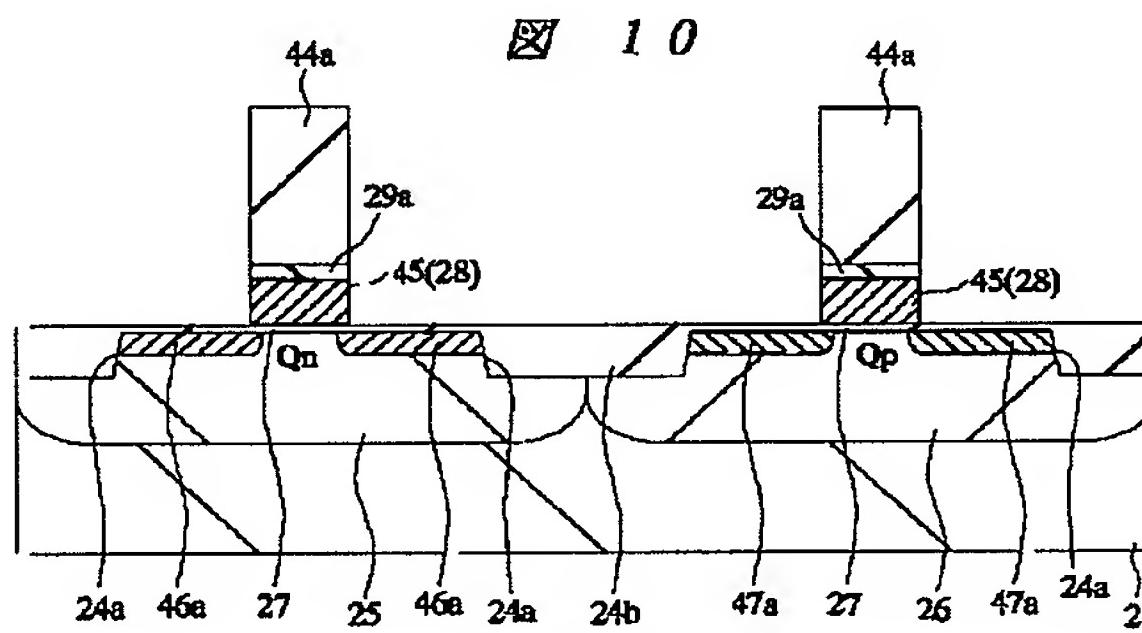
【図9】

図 9



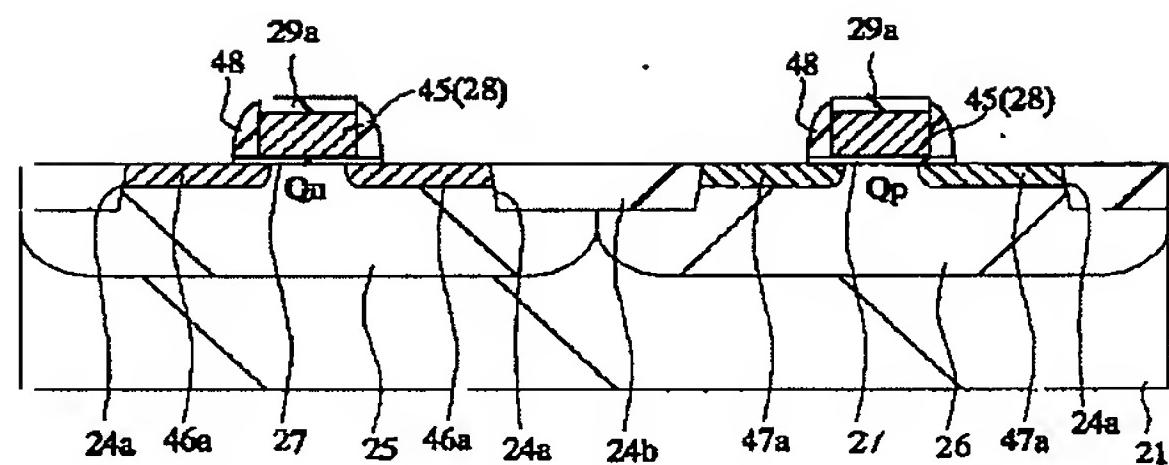
【図10】

図 10



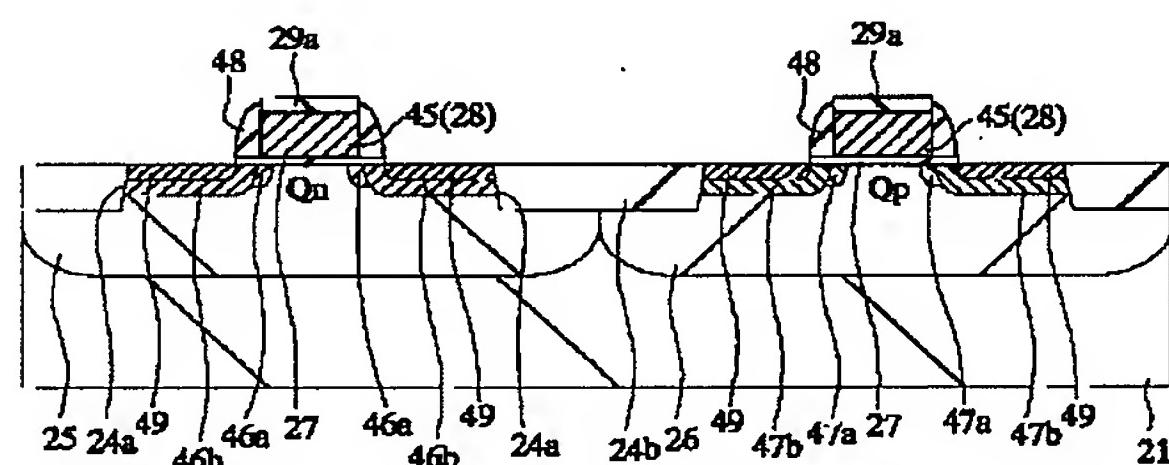
【図11】

図 11



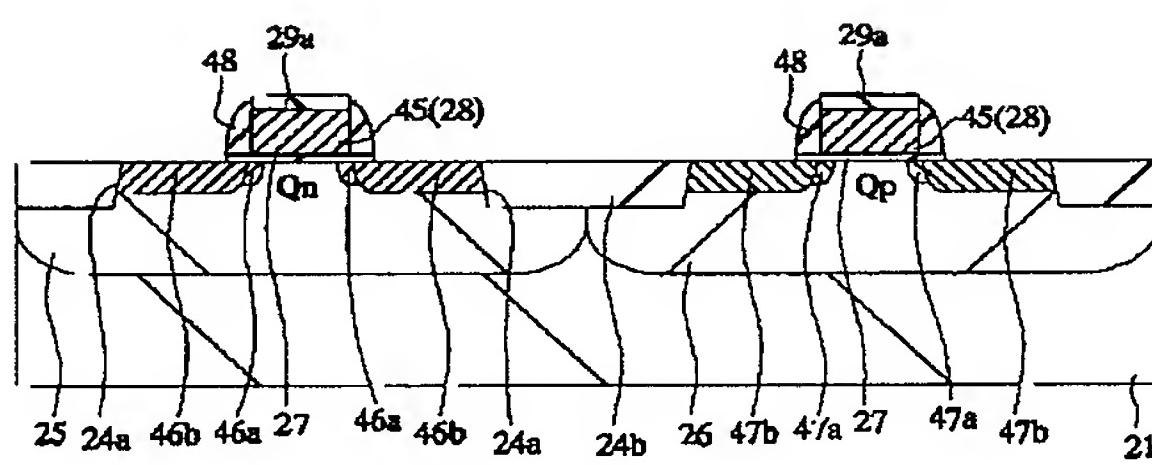
【図13】

図 13



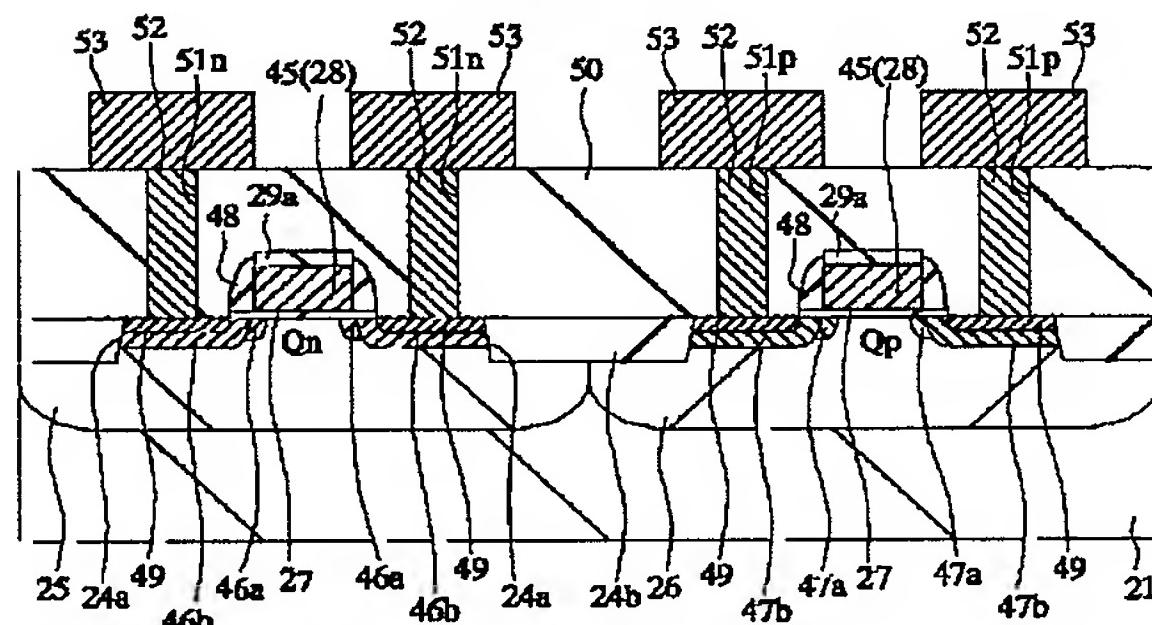
【図12】

図 12



【図14】

図 14



フロントページの続き

(72)発明者 川崎 裕通

東京都青梅市新町六丁目16番地の2 株式
会社日立製作所熱器ライティング事業部内

(72)発明者 藤戸 利昭

東京都青梅市新町六丁目16番地の2 株式
会社日立製作所熱器ライティング事業部内

(72)発明者 恒川 助芳

東京都青梅市新町六丁目16番地の2 株式
会社日立製作所熱器ライティング事業部内

F ターム(参考) 2H096 AA25 HA25 LA09

5F004 AA16 BA19 BB02 BB18 BD01

DA27 DB26 DB27 EA34

5F046 MA13